

Publication number: JP2002229968

Inventor: AKIMOTO KUNIKAZU

Applicant: SONY CORP

Classification:

- international: **G06F12/14; G06F17/10; G06F17/14; G06F12/14; G06F17/10; G06F17/14; (IPC1-7): G06F17/10; G06F12/14; G06F17/14**

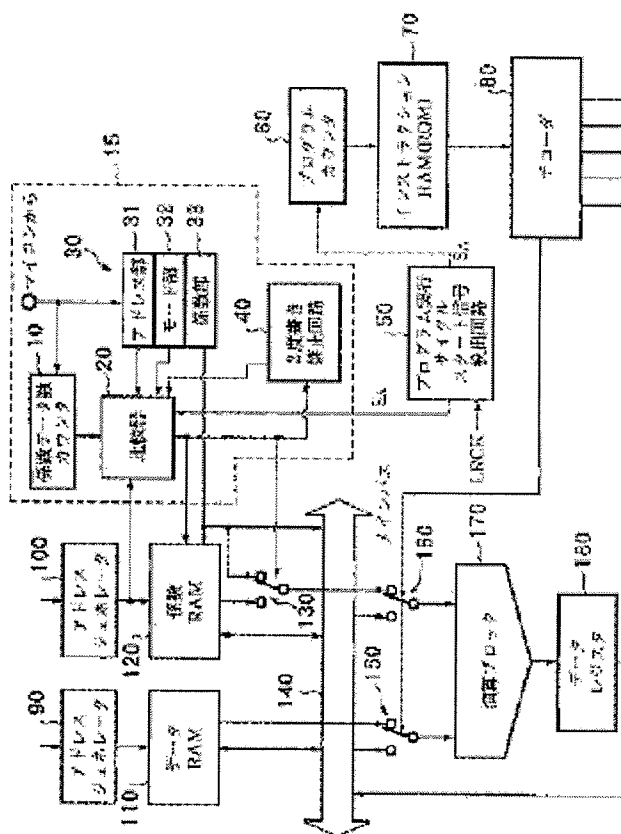
- european:

Application number: JP20010025884 20010201

Priority number(s): JP20010025884 20010201

[Report a data error here](#)

PROBLEM TO BE SOLVED: To provide a signal conditioning device that can implement, without stopping voice signal conditioning, the rewriting of coefficient data necessary for the signal conditioning to rewrite the data smoothly. **SOLUTION:** In a rewrite circuit 15, an address, coefficient data and the like that are inputted from a microcomputer are stored in a coefficient register 30, and the number of the piece of the coefficient data is counted with a coefficient data number counter 10. In the signal conditioning, when coefficient data in a coefficient RAM 120 is accessed, a comparator 20, on the basis of an access address, a count value in the coefficient data number counter 10 and an address stored in a coefficient register 30, judges whether or not the coefficient data are stored in the coefficient register, feeds, depending on the judgment, new coefficient data for computation processing, and writes it into the coefficient RAM 120, so that the mixed use of the old coefficient data and the new coefficient data can be avoided and the malfunction due to the rewrite of coefficient data can be prevented.



Data supplied from the **esp@cenet** database - Worldwide

【特許請求の範囲】

【請求項1】信号処理用係数データを記憶する係数記憶手段を有し、当該係数記憶手段の所定の領域に格納されている係数データを書き換える機能を有する信号処理装置であって、

書き換える係数データと、上記係数記憶手段における当該係数データの格納領域を示すアドレスとを受け取り、保持する係数レジスタと、

上記信号処理において上記係数記憶手段に対して係数データの読み取りが行われるとき、当該読み取りアドレスと上記係数レジスタに格納されているアドレスとを比較し、当該比較結果に応じて上記係数レジスタに格納されている係数データを上記アドレスに基づき上記係数記憶手段に書き込み、また当該係数データを信号処理を行う演算回路に供給する書き換え手段とを有する信号処理装置。

【請求項2】上記書き換え手段は、上記係数データの数を数えるカウンタと、

上記読み取りアドレスと上記係数レジスタに格納されているアドレスとの差を算出し、算出されたアドレスの差を上記カウンタのカウント値とを比較する比較手段とを有する請求項1記載の信号処理装置。

【請求項3】上記比較手段による比較の結果に応じて、上記係数レジスタに格納されている上記係数データを上記係数記憶手段に書き込む手段を有する請求項1記載の信号処理装置。

【請求項4】上記比較手段による比較の結果に応じて、上記係数レジスタに格納されている上記係数データを上記演算回路に出力する切り替え手段を有する請求項1記載の信号処理装置。

【請求項5】上記信号処理をプログラム実行サイクル単位で繰り返して実行され、上記プログラム実行サイクルが開始するタイミングを検出するプログラム実行開始検出回路を有する請求項1記載の信号処理装置。

【請求項6】上記書き換え手段は、上記プログラム実行開始検出回路によって上記開始タイミングが検出されたとき、上記係数レジスタに新しい係数データが格納されているかを判断する請求項5記載の信号処理装置。

【請求項7】1回の上記プログラム実行サイクルにおいて上記係数記憶手段の同じ記憶領域に、同じ係数データを2回書き込むことを禁止する2度書き禁止回路を有する請求項5記載の信号処理装置。

【請求項8】上記係数レジスタに、上記書き換え動作のモードを示すモードデータを格納する領域が設けられている請求項1記載の信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号処理装置、具体的に、例えばデジタル化したオーディオ信号（音声信号）を処理するために用いられるデジタル信号処理

装置に関するものである。

【0002】

【従来の技術】音声信号を処理する信号処理装置は、CD、MDなどの記録媒体から読み出したデジタル音声信号に対して、各種の信号処理を行う。信号処理装置によってもっとも一般的に行われているのは、例えば、FFT（高速フーリエ変換）演算、相関関数演算、FIR（Finite Impulse Response）またはIIR（Infinite Impulse Response）によるデジタルフィルタリング処理などである。信号処理装置は、デジタル音声信号に対して、リアルタイム（実時間）でこれらのフィルタリング処理に必要な数値計算を行う。

【0003】このような信号処理装置は、汎用、専用を問わず多数存在する。一般的にこれらの信号処理装置は、乗算または減算などを行う演算ブロックと、プログラムを記憶するインストラクションRAM（Random Access Memory）またはROM（Read Only Memory）、演算に用いる係数を格納する係数RAM、演算結果や音声信号などのデータを記憶するデータRAMなどを備えている。信号処理装置は、インストラクションRAMまたはROMから命令コードを読み出し、インストラクションデコーダで命令コードをデコードし、演算ブロックによって演算を行ってデジタル音声信号に対して所望の処理を行う。

【0004】音声信号処理が行われている間、フィルタの特性を変更したいなど、信号処理装置動作中に係数RAMの内容を書き換えたい場合がある。また、通常、書き換えの係数がマイコンなど他の装置から提供されるので、係数の書き換えはマイコンなどによって転送されてくるデータを受信し、係数RAMに書き込む作業が必要となる。マイコンと信号処理装置との間に、通常シリアル転送でデータの送受信が行われ、複数の係数データを書き換えるには、信号処理装置における数ステップの実行サイクルが必要となるため、この間他の信号処理が一時中断してしまう。これによって、係数データの書き換えが必要なとき、例えば、音声出力効果を切り替えるなどの場合、切り替え時に音声の出力が一時途絶えることになり、視聴者に不快感を与えることがある。

【0005】係数データの書き換えによる信号処理の一時中断を解消するために、データの書き換え方法などに様々な工夫が施されてきた。例えば、特許第3005987号の「デジタル信号処理装置」において、各プログラム実行周期の先頭を示すスタート信号検出手段が設けられ、プログラム実行周期の先頭に出力されるスタート信号に応じて、係数データの書き換えを行うための書き換えサイクルが設けられ、当該書き換えサイクルで係数データの書き換えが行われる。これによって、信号処理を停止させることなく係数データの書き換えを実現できる。

【0006】

【発明が解決しようとする課題】ところで、上述した信号処理装置において、1つのプログラム実行サイクル中に1つの係数しか書き換えることができない。1つの係数のみを書き換える場合には十分対応できるが、複数の係数を使用するデジタルフィルタの場合には、複数のプログラム実行サイクルに渡ってすべての係数を順次書き換えなければならない。このため、係数データの書き換えの途中に、予測できない係数の組み合わせとなる時間が存在する。複数の係数データが互いに影響しあってデジタルフィルタの伝達特性を決定しているので、複数の係数の中一部分だけ書き換えられた場合、その組み合わせによって望ましくないフィルタの伝達特性が生じることがあって、このフィルタを用いてフィルタリング処理の結果、通常の音声信号として全く見当違いのデータが発生してしまい、ノイズとして出力されてしまう可能性がある。

【0007】この問題を解決するために、音声信号出力回路の最終段にミュートをかけ、係数データの書き換え中は音声の出力を一時止めてしまうことが一般的である。しかし、これは結局、係数データの切り替えに伴って一時的に音声の出力が途絶え、音楽などを聞いている者には不快感を与えてしまうという不利益がある。

【0008】本発明は、かかる事情に鑑みてなされたものであり、その目的は、通常の音声信号処理を停止することなく、信号処理に必要な係数データの書き換えを実現でき、データの書き換えを円滑に実行できる信号処理装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明の信号処理装置は、信号処理用係数データを記憶する係数記憶手段を有し、当該係数記憶手段の所定の領域に格納されている係数データを書き換える機能を有する信号処理装置であって、書き換える係数データと、上記係数記憶手段における当該係数データの格納領域を示すアドレスとを受け取り、保持する係数レジスタと、上記信号処理において上記係数記憶手段に対して係数データの読み取りが行われるとき、当該読み取りアドレスと上記係数レジスタに格納されているアドレスとを比較し、当該比較結果に応じて上記係数レジスタに格納されている係数データを上記アドレスに基づき上記係数記憶手段に書き込み、また当該係数データを信号処理を行う演算回路に供給する書き換え手段とを有する。

【0010】また、本発明では、好適には、上記書き換え手段は、上記係数データの数を数えるカウンタと、上記読み取りアドレスと上記係数レジスタに格納されているアドレスとの差を算出し、算出されたアドレスの差を上記カウンタのカウント値とを比較する比較手段とを有する。

【0011】また、本発明では、好適には、上記比較手段による比較の結果に応じて、上記係数レジスタに格納

されている上記係数データを上記係数記憶手段に書き込む手段、及び上記係数レジスタに格納されている上記係数データを上記演算回路に出力する切り替え手段を有する。

【0012】また、本発明では、好適には、上記信号処理をプログラム実行サイクル単位で繰り返して実行され、上記プログラム実行サイクルが開始するタイミングを検出するプログラム実行開始検出回路を有する。

【0013】また、本発明では、好適には、上記書き換え手段は、上記プログラム実行開始検出回路によって上記開始タイミングが検出されたとき、上記係数レジスタに新しい係数データが格納されているか否かを判断する。

【0014】さらに、本発明では、好適には、1回の上記プログラム実行サイクルにおいて上記係数記憶手段の同じ記憶領域に、同じ係数データを2回書き込むことを禁止する2度書き禁止回路を有する。

【0015】

【発明の実施の形態】図1は本発明に係る信号処理装置の一実施形態を示す回路図である。図示のように、本実施形態の信号処理装置は、係数データ数カウンタ10、比較器20、係数レジスタ30、2度書き禁止回路40、プログラム実行サイクルスタート信号検出回路50、プログラムカウンタ60、インストラクションRAM (ROM) 70、デコーダ80、アドレスジェネレータ90、100、データRAM110、係数RAM120、切り替えスイッチ130、メインバス140、切り替えスイッチ150、160、演算ブロック1270及びデータレジスタ180によって構成されている。

【0016】以下、信号処理装置の各構成部分についてそれぞれ説明する。係数データ数カウンタ10は、例えば、マイコンから係数レジスタ30に入力される係数データの数を数える。なお、マイコンから入力される係数データは、例えば、シリアルインターフェースを介して係数レジスタ30に入力され、各係数データは、ワード (word) 単位で入力され、1ワードは、例えば16ビットからなる。係数データ数カウンタ10は、マイコンから入力される係数データのワード数を数える。

【0017】比較器20は、アドレスジェネレータ100によって生成されたアドレスと係数レジスタ30のアドレス部31に格納されているアドレスデータとを比較し、当該比較結果を係数RAM120、切り替えスイッチ130及び2度書き禁止回路40に出力する。比較器20の比較結果に応じて、係数RAM120に対して、係数データの書き込みが行われ、また、切り替えスイッチ130の切り替えが御される。さらに、当該比較結果に応じて、2度書き禁止回路40の動作が制御される。

【0018】係数レジスタ30は、シリアル/パラレル変換機能を有するレジスタから構成され、マイコンからシリアルインターフェースを介して入力された係数デ

タをパラレルデータに変換して格納する。図示のように、係数レジスタ30は、アドレス部31、モード部32及び係数部33によって構成されている。

【0019】アドレス部31には、入力される係数データの先頭アドレスを格納する。なお、当該アドレスは、入力される係数データを係数RAM120において格納すべき領域の先頭アドレスを示す。モード部32は、係数データの入力動作を示すモードデータを格納する。当該モードデータによって、比較器20は、係数データの入力開始及び入力完了を知ることができる。係数部33は、係数データを格納する。当該係数データは、例えば、デジタルフィルタリング処理に使われているフィルタ係数である。一回の入力によって、1ワードまたは複数ワードの係数データが入力される。入力される係数データは、アドレス部31に格納されている先頭アドレスによって示されている係数RAM120の記憶領域に書き込まれるので、古い係数データがマイコンから送信された新しい係数データによって書き換えられる。

【0020】係数レジスタ30の容量は、マイコンとから1度に受信されるデータの数に応じて決まる。例えば、アドレス部31は8ビットのアドレスを格納するのみなので、8ビットの容量があれば十分であり、モード部32は8ビットのモードデータ及びデータ送信終了を示すコードを格納するので、16ビットの容量があれば十分である。係数部33は、1度マイコンから入力される最大ワード数分の容量があればよい。

【0021】2度書き禁止回路40は、係数RAM120に対して、同一番地に対して係数データの書き換えを1回のみ行うよう制御を行う。本実施形態の信号処理装置では、係数RAM120に対する係数データの書き換えは、係数RAM120から当該係数データの読み出し命令が実行されるとき行われる。例えば、デコード80の出力に従って、係数RAM120のアドレスADR1からデータの読み出し命令が実行されるとき、比較器20によって、アドレスADR1と係数レジスタ30のアドレス部31に格納されている先頭アドレスADR0との比較が行われる。当該比較の結果、係数RAM120のアドレスADR1の係数データが書き換え対象になっていると判断された場合、係数レジスタ30の係数部33から当該係数データが読み出され、アドレスADR1によって指定された係数RAM120の番地に書き込まれる。

【0022】そして、次の実行サイクルにおいて、係数RAM120のアドレスADR1に対して再び係数データの読み出し命令が実行される場合、すでに当該アドレスに格納される係数データが新しい係数データに書き換えられたので、2度の書き換えを行う必要がなく、係数RAM120から係数データを通常の読み出し動作で読み出せばよい。2度書き禁止回路40は、このように係数RAM120に対する同じ係数データの書き込みを2

度行わないよう制御することによって、係数RAM120の書き込みを重複して行うことを防止でき、データアクセス速度の向上をはかる。

【0023】プログラム実行サイクルスタート検出回路50は、プログラム実行サイクルの開始タイミングを検出し、検出の結果に応じてプログラム実行サイクルの開始タイミングを示すスタート信号 S_A を生成し、比較器20及びプログラムカウンタ60に提供する。プログラム実行サイクルは、入力されるクロック信号LCKの立ち上がりから開始する。このため、プログラム実行サイクルスタート信号検出回路50は、クロック信号LCKの立ち上がりエッジを検出し、当該立ち上がりエッジが検出されたとき、スタート信号 S_A を出力する。

【0024】プログラムカウンタ60は、プログラム実行サイクルの数を数える。プログラム実行サイクル毎に入力されるデジタル音声信号に対して同じ処理が繰り返して行われるので、プログラムカウンタ60では、スタート信号 S_A でカウント値がリセットされ、プログラムの実行に伴ってカウント値が更新される。このため、プログラムカウンタ60のカウント値は、常に次命令実行サイクルで実行されるべき命令コードの番地を示す。

【0025】インストラクションRAM70は、プログラムカウンタ60からのカウント値によって指定された番地からプログラムの命令コードを読み出して、デコード80に出力する。

【0026】デコード80は、インストラクションRAM70から送られてきた命令コードをデコードし、その結果に従って、演算ブロック170などの各部分回路の動作を制御する。

【0027】アドレスジェネレータ90は、デコード80からの指示に従って、アドレスを生成し、データRAM100に出力する。また、アドレスジェネレータ100は、デコード80からの指示に従って、アドレスを生成し、データRAM120に出力する。

【0028】データRAM110は、信号処理に用いられる音声データなどを記憶する。データRAM110は、記憶されているデータをメインバス140、またはメインバス140を介さず、直接演算ブロック170に供給する。

【0029】係数RAM120は、信号処理に用いられる係数データを記憶し、記憶した係数データをメインバス140、またはメインバス140を介さず、直接演算ブロック170に供給する。係数RAM120に格納されている係数データは、係数レジスタ30に入力される新しい係数データによって書き換えられる。

【0030】切り替えスイッチ130は、比較器20から出力される制御信号に従って、係数RAM120または係数レジスタ30の係数部33に格納されている係数データの何れかを選択して、演算ブロック170に供給する。

【0031】メインバス140は、信号処理装置の各部分に接続され、これら部分回路の間で、演算データなどの転送を行う。

【0032】切り替えスイッチ150は、デコード80からの制御信号に従って、メインバス140またはデータRAM110の何れかに接続し、メインバス140を介して転送されてきた演算データ、またはデータRAM110から読み出した演算データを演算ブロック170に供給する。切り替えスイッチ160は、デコード80からの制御信号に従って、メインバス140または係数RAM120の何れかに接続し、メインバス140を介して転送されてきた係数データ、または係数RAM120から読み出した係数データを演算ブロック170に供給する。

【0033】演算ブロック170は、切り替えスイッチ150と160を介して入力された演算データを用いて、所定の演算を実行し、演算結果をデータレジスタ180に出力する。データレジスタ180は、演算ブロック180の演算結果のデータを保持し、保持したデータをメインバス140などに出力する。

【0034】上述した本実施形態の信号処理装置において、係数データ数カウンタ10、比較器20、係数レジスタ30及び2度書き禁止回路40によって係数データの書き換えを行う書き換え回路(書き換え手段)15が構成されている。当該書き換え回路15によって、例えば、マイコンから入力される新しい係数データを指定されたアドレスで係数RAM120に書き込むことで、係数RAM120の係数データの書き換えを実現できる。以下、本実施形態の信号処理装置における係数データの書き換え時の処理についてさらに詳しく説明する。

【0035】図示のように、まず、信号処理装置はマイコンからアドレスとモードを示すモードデータを受信する(ステップS1)。そして、受信したモードデータに基づき、本発明の書き換えモードが指示されたか否かの判断が行われる(ステップS2)。即ち、本実施形態の信号処理装置において、本発明の係数データの書き換えモードの他、他の動作モード、例えば、従来の通りに各プログラム実行サイクル毎に係数データを1つずつ書き換えるモードで動作することが可能である。

【0036】モードデータに基づいて、本発明の書き換えモードが指定された場合、以下に説明するステップS3～S5の処理が実行される。一方、モードデータによって、他の動作モードが指定された場合、指定したモードで処理が行われる(ステップS6)。

【0037】本発明の書き換えモードで動作する場合、書き換えられるすべての係数データが受信されるまで、ステップS3とS4の処理が繰り返される。即ち、ステップS3において、係数データが受信されると、ステップS4において、係数データの終了を示す終了信号を受信したか否かについて判断が行われる。なお、係数デー

タの転送終了がマイコンから所定のモードデータが送信されることで通知される。即ち、信号処理装置において、受信したデータが係数データの転送終了を示す所定のモードデータであるか否かをモニタして、所望のモードデータを受信したとき、係数データの転送が終了したと判断し、それ以外のデータを受信した場合、係数データの受信を継続するよう制御が行われる。

【0038】係数データの転送が終了したとき、係数データの書き換えが行われる(ステップS5)。なお、この係数データの書き換えは、係数データ数カウンタ10、比較器20、係数レジスタ30及び2度書き禁止回路40によって構成された書き換え回路15によって実現される。書き換えの処理について後に詳しく説明する。

【0039】図3は、マイコンから信号処理装置に係数データなどを送信する場合のタイミングチャートである。ここで、例えば、マイコンと信号処理装置との間に、シリアルインターフェースを用いてデータ転送が行われる。図示のように、シリアルクロック信号SCKに同期して、アドレス、モードデータ及び係数データなどが順次転送される。図3(a)は、マイコンによってシリアル信号線に送信されたデータの波形を示し、同図(b)は、シリアルクロック信号SCKの波形を示している。

【0040】図示のように、まず、クロック信号SCKに同期して、アドレスが送信される。アドレスは、例えば、8ビットのデータからなり、LSB(最下位ビット)からMSB(最上位ビット)、またはその逆の順序でアドレスの各ビットが順次送信される。マイコンによって送信されたアドレスが、シリアルインターフェースを介して信号処理装置の係数レジスタ30に入力される。係数レジスタ30において、シリアルクロック信号SCKに同期して、入力されたアドレスの各ビットがアドレス部31に格納される。

【0041】アドレスに続き、マイコンによってモードデータが送信される。当該モードデータは、例えば、8ビットのデータからなる。アドレスと同様に、モードデータの各ビットがシリアルクロック信号SCKに同期して所定の順序で送信される。このモードデータが係数レジスタ30のモード部32に格納される。モード部32に格納されているモードデータが比較器20に入力される。比較器20は、当該モードデータに基づき、指定されたモードを判断する。本発明のデータ書き換えモードの場合、係数データの書き換え処理が行われ、他の動作モードの場合、そのモードに従って所定の処理が実行される。

【0042】本発明の書き換えモードが指定された場合、モードデータに続き、係数データが送信される。なお、係数データはワード単位で入力され、1ワードは、例えば16ビットからなる。一回の書き換えにおいて書

き換えられる係数データの数、1ワードまたは複数ワードとなる。マイコンから送信されてくる係数データのワード数は、係数データ数カウンタ10によってカウントされる。

【0043】すべての係数データが送信されたあと、マイコンから送信の完了を示す終了信号が送信される。なお、当該終了信号は、例えば、所定のビットパターンを持つ8ビットのモードデータからなる。このモードデータは、レジスタ30のモード部32に格納される。これに応じて、比較器20は、係数データの転送終了を判断することができる。

【0044】図4は、係数データ数カウンタ10、比較器20及び係数レジスタ30を含む書き換え回路15の処理を示すフローチャートである。以下、図1及び図4を参照しつつ、本実施形態の信号処理装置における係数データの書き換えの動作について詳しく説明する。

【0045】信号処理装置は、プログラム実行サイクルで信号処理を繰り返して実行する。プログラム実行サイクルとは、例えば、オーディオ信号などを所定のサンプリング周期 T_s でサンプリングして得られたデジタル信号を処理する場合、当該サンプリング周期（またはその整数分の1）毎に同じような信号処理が行われるから、このサンプリング周期がプログラム実行サイクルとなる。これに対して、実際にプログラムの命令コードを実行する命令実行サイクルは、プログラムの命令コードを実行するために必要クロック周期によって決定される。通常、1プログラム実行サイクルの中に、実行される命令実行サイクルの数は決まっており、例えば、現在一般に使用されているオーディオ信号処理用DSPでは、1プログラム実行サイクルに、768命令コード実行サイクルが含まれている。

【0046】1プログラム実行サイクルにおいて、サンプリング回路によって一つ（または一組）のオーディオデータが入力されるので、当該サンプリングデータを含む他の複数のデータを用いた一連の演算処理は、1プログラム実行サイクル内に終わらなければならない。逆にいうと、1プログラム実行サイクル内に実行可能な命令コード実行サイクル数に収まるように信号処理を制御するプログラムコードが作成されなければならない。

【0047】プログラム実行サイクルスタート信号検出回路50によって、プログラム実行サイクルの開始が検出される（ステップSS1）。これに応じて、まず、マイコンからのデータ通信があるか否か判断される（ステップSS2）。マイコンからのデータ通信がなかった場合、通常の通りプログラムが実行される（ステップSS3）。即ち、プログラムカウンタ60によって指示されたアドレスでインストラクションRAM（ROM）70から命令コードが読み出され、デコード80に出力される。デコード80は、当該命令コードをデコードし、当該命令コードによって指示された動作を制御する。プロ

グラムの実行が終了したとき、ステップSS1の処理に戻り、次のプログラム実行サイクルの開始が検出されるまで待機する。

【0048】ステップSS2において、マイコンからのデータ通信があった場合、その通信によって本発明の書き換えモードが指示されたか否かについて判断が行われる（ステップSS44）。この判断処理は、例えば、比較器20によって行われ、係数レジスタ30のモード部32に格納されているモードデータに基づいて行われる。当該モードデータが本実施形態の係数書き換えモードを示すコードである場合、本実施形態の書き換えモードで係数RAM120に格納されている係数データに対して書き換えが実行される。一方、係数レジスタ30のモード部32に格納されているモードデータが本実施形態の係数書き換えモードを示すコードと異なる場合、そのモードデータによって指示された他の書き換えモードで処理が行われる。例えば、図4に示すように、モード部32に格納されているモードデータによって、従来モードの書き換えが指示された場合、まず、プログラムの実行が行われ、その後、係数RAM120に対して係数データの書き換えが行われる（ステップSS5）。

【0049】モードデータによって本発明の係数書き換えモードが指示された場合、まず、インストラクションRAM（ROM）70から命令コードがデコード80に読み出され、それによってプログラムの実行が開始される（ステップSS6）。プログラムが実行されているとき、プログラムが使用する係数のアドレスとマイコンが送信してきたアドレスとの比較が行われる（ステップSS7）。例えば、プログラムの実行中、係数RAM120のアドレスADR1にある係数データから係数の読み出しが実行されようとする、これに応じて比較器20は、係数RAM120にアクセスするアドレスADR1の係数データは、係数レジスタ30に格納されているか否かについて判断が行われる。

【0050】係数レジスタ30のアドレス部31には、マイコンから送信された係数データの先頭アドレスADR0が格納されている。また、係数データ数カウンタ10には、マイコンから送信されてきた係数データの数カウンタ値Mとして格納されている。このため、比較器20は、係数データ数カウンタ10からカウンタ値Mを読み出し、さらに、係数レジスタ30のアドレス部31からアドレスADR0を読み出す。そして、係数RAM120にアクセスするアドレスADR1とマイコンから送信されるアドレスADR0との差 $ADR1 - ADR0$ を求め、次式について判断が行われる。

【0051】

【数1】

$$0 \leq ADR1 - ADR0 < M \quad \dots (1)$$

【0052】式（1）が成立すると判断された場合（図4のフローチャートにおいて、「一致」で表記する）、

即ち、係数RAM120にアクセスしようとする係数データが係数レジスタ30の係数部33に格納されており、係数RAM120に対して当該係数の書き換えが必要であることを意味する。この場合、比較器20の制御によって、係数部33から係数データが読み出され、演算ブロック170に出力されるとともに、係数RAM120にも出力される。このため、演算ブロック170では、係数部33から送られてきた係数データを用いて演算処理が実行される。また、係数RAM120において、アドレスADR1によって指定されたメモリ番地に対して、新しい係数データの書き込みが実行される。

【0053】即ち、係数データ数カウンタ10、比較器20及び係数レジスタ30などによって構成された書き換え回路15によって、マイコンから受信した新しい係数データを演算ブロック170に提供されると同時に、係数RAM120に対して新しい係数データの書き換えが行われる(ステップSS9)。こうして、プログラムの命令が実行されるとともに、新しい係数データが係数RAM120に書き込まれる。即ち、プログラムの命令の実行と係数データの書き換えという二つの動作が同時に実現できる。命令の実行が終了したのち、ステップSS10に進み、最終命令実行サイクルであるか否かについて判断が行われ、最終命令サイクルではない場合、ステップSS7の処理が行われ、逆に最終命令サイクルの場合、ステップSS1の処理に戻り、次のプログラム実行サイクルの開始が検出されるまで待機する。

【0054】比較器20において、式(1)に基づく判断の結果、当該式(1)が成立しないと判断結果が得られた場合、係数RAM120にアクセスしようとする係数データが係数レジスタ30に格納されていないことが分かり、通常のメモリアクセスが行われ、係数RAM120からアドレスADR1によって指示されたメモリ番地から係数データが読み出され、演算ブロック170に出力される。そして、最終命令実行サイクルであるか否かについて判断が行われ、最終命令の実行サイクルである場合、ステップSS1に戻り、次のプログラム実行サイクルの開始が検出されるのを待って、次の処理を開始する。一方、最終命令サイクルではない場合、ステップSS7の処理が実行され、プログラムに従って次の命令実行サイクルにおいてアクセスするアドレスと係数レジスタ30に格納されているアドレスとの比較処理が行われる。

【0055】上述したように、係数データカウンタ10、比較器20、係数レジスタ30によって構成された書き換え回路15によって、プログラムの各命令の実行とともに、新しい係数データの書き換えが行われる。係数データの書き換えは、各命令の実行と並行して書き換え回路15によって実行されるので、複数の係数データの書き換えは1プログラム実行サイクルの中で行うことができ、係数データの一部分のみの書き換えによって生

じた出力結果の異常データの発生を回避できる。このため、本実施形態の信号処理装置において、係数データの書き換えに伴い出力の一時停止を要せず、プログラムに基づく信号処理を連続して実行しながら係数データの書き換えを実現できる。

【0056】上述した係数データの書き換え処理によって、プログラムに基づく信号処理と係数データの書き換えを並行して実行することができ、係数データの書き換えをより円滑に行うことができる。さらに、係数データの書き換えによる出力の一時停止を回避することができ、出力の連続性を保つことができる。

【0057】また、図1に示すように、書き換え回路15の中に2度書き禁止回路40が設けられ、この回路によって1回のプログラム実行サイクルにおいて、係数RAM120の同じメモリ番地に対する係数データの書き換えが一回だけに制御されるので、書き換えを複数回行うことによって生じるアクセス速度の低下を防止でき、係数データの書き換えをより円滑に行うことができる。

【0058】なお、以上説明した実施形態では、係数RAM120の係数データの書き換えを例にその処理を説明したが、本発明の信号処理装置及びこの信号処理装置において行われるデータの書き換え処理は、係数RAM120の係数データの書き換えに限られるものではなく、例えば、データRAM110にあるデータの書き換えまたはインストラクションRAM70にある命令コードの書き換えにも適用できることはいうまでもない。

【0059】さらに、本発明では、上述した実施形態のほか、例えば、係数レジスタ30の代わりにもう一つの係数RAMを設けることも可能である。当該係数RAMは、係数RAM120と同じ容量及びアクセス特性を持つものによって構成される。即ち、同じ容量及びアクセス特性を持つ係数RAMを2つ用意する。信号処理装置の初期化のとき、二つの係数RAMに同じ係数データを格納しておき、データ演算処理が行われているとき、何れか一方の係数RAMに対してアクセスを行い、係数データを読み出して演算ブロック170に供給する。係数データの書き換えを行うとき、マイコンから入力される係数データと一緒に入力されるアドレスに従って、一方の係数RAMに対して書き換えを行う。この間、他方の係数RAMから係数データの読み出しを行いながら、プログラムに基づく信号処理が停止することなく継続される。そして、係数データの書き換えが終わったとき、アクセスする係数RAMを切り替えることによって、次のプログラム実行サイクルから新しい係数データを用いて演算処理が行われる。

【0060】上述した書き換え処理によって、係数データの書き換えに伴う処理の一時中断を回避することができ、係数データの書き換えを円滑に実施することができる。さらに、アドレス比較などの処理を行う必要がなくなるため、書き換えを制御するための回路構成が簡素化

することができる。また、通常係数RAMにはデータ処理、例えば、フィルタリング処理に必要な係数データを格納するだけの容量があれば十分であるので、その容量は限られるので、同様な構成を持つ係数RAMを二つ設けても回路規模の増加は必要最小限に抑えられる。

【0061】

【発明の効果】以上説明したように、本発明の信号処理装置によれば、書き換え手段によって係数RAMにある係数データがアクセスされる時、当該係数データがマイコンなどの外部回路から受信した場合、係数レジスタに格納されている新しい係数データが演算処理に提供されるとともに、係数RAMへの書き込みも並行して行われる。当該係数データの書き換え処理は、1プログラム実行サイクルにおける各命令サイクルごとに行われるので、複数の係数データを使用する処理プログラムなどでは、古い係数データと新しい係数データが混合して使用されることが回避でき、それによって予想しない誤動作を防ぐことができ、この誤動作によって異常な出力信号を発生することを防止できる。このため、本発明の信号処理装置によれば、音声信号などをリアルタイムに処理することができ、信号処理に使用する係数データの書き換えによる出力信号の一時停止を回避でき、係数データ

を含む処理データの円滑な書き換えを実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係る信号処理装置の一実施形態を示す回路図である。

【図2】本発明の信号処理装置の動作を示すフローチャートである。

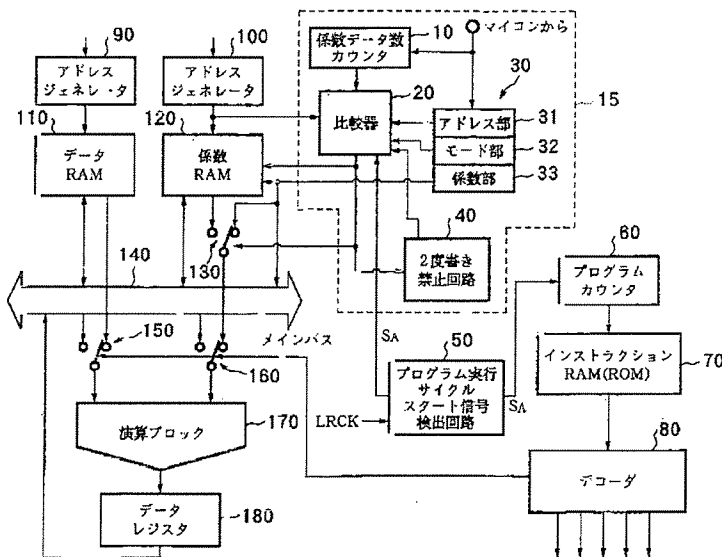
【図3】書き換えデータの送受信タイミングを示すタイミングチャートである。

【図4】係数データの書き換えの処理を示すフローチャートである。

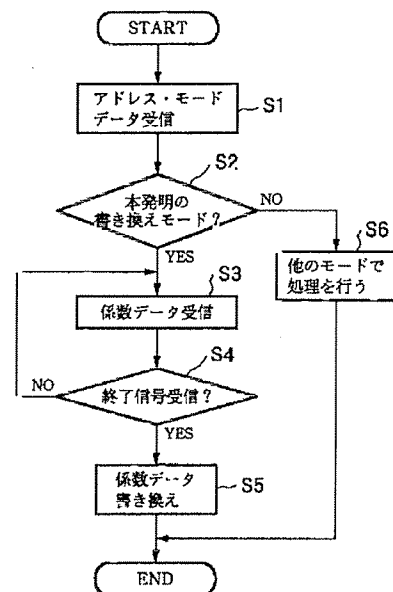
【符号の説明】

10…係数データ数カウンタ、15…書き替え回路、20…比較器、30…係数レジスタ、31…アドレス部、32…モード部、33…係数部、40…2度書き禁止回路、50…プログラム実行サイクルスタート信号検出回路、60…プログラムカウンタ、70…インストラクションRAM (ROM)、80…デコーダ、90、100…アドレスジェネレータ、110…データRAM、120…係数RAM、130…切り替えスイッチ、140…メインバス、150、160…切り替えスイッチ、170…演算ブロック、180…データレジスタ。

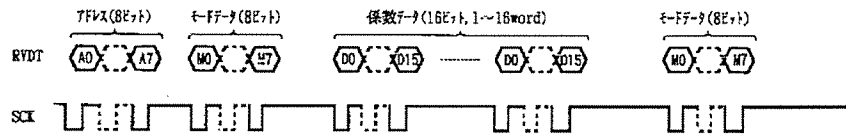
【図1】



【図2】



【図3】



【図4】

